

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :  
Yong-joon CHO et al. :  
Serial No.: [NEW] : Mail Stop Patent Application  
Filed: November 14, 2003 : Attorney Docket No. SEC.1063  
For: METHOD OF FORMING A CONTACT IN A SEMICONDUCTOR DEVICE

**CLAIM OF PRIORITY**

U.S. Patent and Trademark Office  
2011 South Clark Place  
Customer Window, Mail Stop Patent Application  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

Sir:

Applicants, in the above-identified application, hereby claim the priority date under the International Convention of the following Korean application:

Appln. No. 10-2002-0073049 filed November 22, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine  
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

Date: November 14, 2003



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0073049  
Application Number PATENT-2002-0073049

출원년월일 : 2002년 11월 22일  
Date of Application NOV 22, 2002

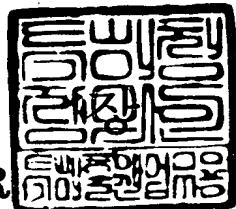
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 11 월 29 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2002.11.22
【국제특허분류】	H01L
【발명의 명칭】	반도체 장치의 제조방법
【발명의 영문명칭】	Method for manufacturing semiconductor device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	조용준
【성명의 영문표기】	CHO, Yong Joon
【주민등록번호】	690522-1052611
【우편번호】	137-070
【주소】	서울특별시 서초구 서초동 1467-22 서초타워빌라 101호
【국적】	KR
【발명자】	
【성명의 국문표기】	김영희
【성명의 영문표기】	KIM, Young Hee
【주민등록번호】	630219-1932237
【우편번호】	449-846

【주소】	경기도 용인시 수지읍 풍덕천리 1167번지 진산마을 삼성5차아파트 52 1-1904		
【국적】	KR		
【발명자】			
【성명의 국문표기】	윤영환		
【성명의 영문표기】	YUN, Young Hwan		
【주민등록번호】	580228-1222716		
【우편번호】	449-846		
【주소】	경기도 용인시 수지읍 풍덕천리 1168번지 진산마을 삼성5차아파트 51 8-1101		
【국적】	KR		
【발명자】			
【성명의 국문표기】	백두현		
【성명의 영문표기】	BAEK,Doo Heun		
【주민등록번호】	590629-1829219		
【우편번호】	441-390		
【주소】	경기도 수원시 권선구 권선동 삼성5차 501-103		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	1	면	1,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	18	항	685,000 원
【합계】	715,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명은 반도체 장치의 제조방법에 관한 것이다. 본 발명의 반도체 장치의 제조방법은, 먼저, 소자형성 영역이 정의된 반도체 기판을 제공한다. 소자형성 영역 상에 측벽에 자기 정렬 콘택 형성용 측벽 스페이서를 구비하는 게이트 및 게이트 양측의 반도체 기판에 소스 및 드레인을 형성한다. 소스 및 드레인 상에 식각 정지막을 형성한다. 반도체 기판 전면에 평탄화된 제1층간 절연막을 형성한다. 건식식각법으로 측벽 스페이서와 식각 정지막의 상층을 식각 종료점으로 하여 제1층간 절연막을 식각하여 소스 및 드레인을 노출시키기 위한 자기 정렬 콘택홀을 형성한다. 습식식각법으로 소스 및 드레인 상의 식각 정지막을 제거하여 소스와 드레인을 노출시킨다. 그리고, 자기정렬 콘택홀에 도전성 폴리 실리콘을 충진하여 콘택패드를 형성한다.

이렇게 콘택패드를 형성하기 위해서 습식식각법을 이용하여 자가정렬 콘택을 형성하면, 소스와 드레인의 기지 실리콘에 손상을 주지 않아 반도체 장치의 전기적 특성이 우수하고, 제품의 전기적 신뢰성을 크게 향상시킬 수 있다.

**【대표도】**

도 8

**【명세서】****【발명의 명칭】**

반도체 장치의 제조방법{Method for manufacturing semiconductor device}

**【도면의 간단한 설명】**

도 1 내지 도 2는 종래 기술에 의한 반도체 장치의 제조방법을 순차적으로 나타낸 단면도들이다.

도 3 내지 도 7은 본 발명에 의한 반도체 장치의 제조방법을 나타낸 단면도들이다.

도 8은 본 발명에 의한 자가정렬 콘택의 형성방법을 개략적으로 나타낸 공정 흐름 도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 반도체 장치의 제조방법에 관한 것으로서, 특히, 자기정렬법을 이용하여 소스와 드레인을 연결하는 콘택패드용 콘택을 형성하는 방법에 관한 것이다.

<5> 반도체 장치는, 소자가 고집적화 됨에 따라 선 폭이 극도로 좁아지면서 패턴 형성 공정에 많은 제약을 받는다. 특히, DRAM 메모리 소자에서 소자활성 영역에 형성되는 콘택의 경우, 소자가 고집적화 될수록 크기가 작아져서 패터닝(patterning)에 많은 문제가 발생한다. 그리하여, 도입된 기술이 자기정렬형 콘택형성법(self aligned contact formation)이다.

<6> 도 1 내지 도 2는 종래의 자기정렬 콘택형성 공정이다. 도 1을 참조하면, 반도체 기판(100) 상에 소자분리용 절연막(1110)을 형성하여 소자형성 영역을 정의하고, 소자형성 영역에 게이트 절연막(1121)과 게이트 도전막(1123, 1125) 및 마스크용 절연막(1127) 그리고, 게이트 도전막(1123, 1125)과 마스크용 절연막(1127)의 측벽에 절연막 스페이서(1129)를 형성하여 게이트(1120)를 완성한다. 그리고, 게이트(1120) 양측으로 소스(1105a)와 드레인(1105b)을 형성한다. 그런 다음, 식각정지막(1140)을 형성한 후, 그 위에 평탄화된 제1층간 절연막(1150)을 형성하고 이 제1층간 절연막(1150)에 소정의 패터닝 공정을 거쳐서 자기정렬용 콘택홀(1160a)을 형성한다. 그러면, 콘택홀(1160a) 부분에 남는 식각 정지막(1130, 1140)을 건식식각법을 이용하여 제거하고 소스(105a)와 드레인(105b)의 반도체 기판(100)을 노출시킨다. 이후 콘택홀(1160a) 내부에 도전성 폴리 실리콘을 충진하여 콘택패드(미도시)를 형성한다.

<7> 그런데, 이러한 종래의 자기정렬 콘택 형성방법은, 콘택(1160a) 내부에 잔류한 식각정지막(1140)을 건식 식각법으로 식각하기 때문에, 기지 실리콘을 노출시키기 위해서는 소정의 과도식각(over etch)을 해야하고, 건식식각법의 특성상 기지 실리콘 부분이 어느 정도 식각되어 손상을 입는다. 그리하여, 추후 반도체 장치가 완료된 후에, 손상을 입은 콘택(1160a) 부분의 저항이 높아져 콘택패일(contact fail)이 발생하기도 하고, 손상된 부분에 의해서 누설전류가 커지는 단점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<8> 따라서, 본 발명이 이루고자 하는 기술적 과제는, 소스와 드레인에 자기정렬용 콘택 형성시에 기지 실리콘에 손상이나 스트레스를 주지 않아, 누설전류나 콘택 저항 등의 전기적 특성이 우수한 반도체 장치의 제조방법을 제공하는 것이다.

### 【발명의 구성 및 작용】

<9> 상기 기술적 과제들을 달성하기 위하여, 본 발명의 반도체 장치의 제조방법은, 먼저, 소자형성 영역이 정의된 반도체 기판을 제공한다. 소자형성 영역 상에 측벽에 자기 정렬 콘택 형성용 측벽 스페이서를 구비하는 게이트 및 게이트 양측의 상기 반도체 기판에 소스 및 드레인을 형성한다. 소스 및 드레인 상에 식각 정지막을 형성한다. 반도체 기판 전면에 평탄화된 제1층간 절연막을 형성한다. 건식식각법으로 측벽 스페이서와 식각 정지막의 상층을 식각 종료점으로 하여 제1층간 절연막을 식각하여 소스 및 드레인을 노출시키기 위한 자기 정렬 콘택홀을 형성한다. 습식식각법으로 소스 및 드레인 상의 식각 정지막을 제거하여 소스와 드레인을 노출시킨다. 자기정렬 콘택홀에 도전성 폴리 실리콘을 충진하여 콘택패드를 형성한다.

<10> 여기서, 게이트를 형성하는 단계는, 소자형성 영역에 게이트 절연막을 형성하고, 게이트 절연막 상에 게이트 도전막과 마스크용 절연막을 순차적으로 형성한다. 게이트 도전막과 마스크용 절연막에 게이트 패턴을 형성한다. 패터닝된 게이트 도전막 및 마스크용 절연막의 측벽에 절연막 스페이서를 형성한다. 이때, 게이트 도전막은 도전성의 폴리 실리콘을 사용하고, 마스크용 절연막은 화학기상 증착법(CVD)으로 형성된 실리콘 질화막이다. 그리고, 절연막 스페이서는 화학기상 증착법(CVD)으로 형성된 실리콘 질화막이다. 그리하여, 게이트 도전막을 실리콘 질화막으로 둘러싸고 있어, 추후 습식공정에서 사용되는 실리콘 산화막 침해성 용액에 게이트가 손상당하지 않아 바람직하다. 그리고, 이러한 절연막 스페이서와 마스크용 절연막은 콘택식각시 자기정렬 마스크로서의 기능을 한다.

<11> 소스와 드레인을 형성하는 단계는, 소스와 드레인 상에 하부 산화막이 존재하는 상태에서 이온 주입을 하는 것이 주입된 이온이 아웃 디퓨전(out-diffusion) 되지 않아 바람직하다. 이때, 하부 산화막은 게이트 절연막을 그대로 사용하는 것이 공정 수를 줄일 수 있어 바람직하다.

<12> 식각 정지막을 형성하는 단계는, 먼저, 반도체 기판 전면에 화학기상 증착법(CVD)으로 박막의 실리콘 질화막을 형성한다. 그런데, 여기서 식각정지막을 형성하기 이전에 반도체 기판 전면에 화학기상 증착법(CVD)으로 베퍼막을 더 형성하여 복층의 식각정지층을 형성할 수도 있다. 이때, 베퍼막은 실리콘 산화막이며, 특히, 저압 화학기상 증착법(LP CVD)으로 형성된 MTO(Mid-Temperature Oxide)막인 것 습식식각시에 다른 산화막과 대비하여 식각선택비가 높아 바람직하다. 식각 정지막은 화학기상 증착법(CVD)으로 형성된 실리콘 질화막이다.

<13> 평탄화된 제1층간 절연막의 형성단계는, 반도체 기판 전면에 제1층간 절연막을 형성하고, 제1층간 절연막을 소정의 평탄화 공정을 이용하여 평탄화시킨다. 이때, 제1층간 절연막은 화학기상 증착법(CVD)으로 형성된 실리콘 산화막이다. 특히, 제1층간 절연막으로서 고밀도 플라즈마를 이용한 화학기상 증착법(HDP CVD)으로 형성된 실리콘 산화막을 적용하면, 식각 선택비가 베퍼막과 비교하여 상대적으로 높아 추후 베퍼막 습식식각시에 콘택패턴이 견고히 유지된다. 평탄화 공정은 화학적 기계연마법(CMP)인 것이 평탄도가 높고 반도체 기판에 플라즈마 손상을 주지 않아 바람직하다.

<14> 자기정렬 콘택을 형성하는 단계는, 평탄화된 층간 절연막 상에 자기정렬 콘택 패턴이 형성된 포토 레지스트를 형성한다. 이 패터닝된 포토 레지스트를 마스크로 이용하여 콘택 패턴 내의 제1층간 절연막을 모두 제거하여 제1층간 절연막에 자기정렬 콘택을 전

사한다. 이때, 제1층간 절연막에 자기정렬 콘택을 전사하는 단계는, 식각 정지막과 마스크용 절연막 및 절연막 스페이서가 식각 정지층으로 사용되어 자기정렬용 마스크로서의 기능을 한다.

<15> 식각 정지막을 제거하는 단계는, 산화막 식각용액을 이용한 습식식각법으로 상기 식각 정지막 상에 잔류된 산화막을 제거하고, 질화막 식각용액을 이용한 습식식각법으로 식각 정지막을 제거한다. 여기서, 산화막 식각용액은 0.01wt% 내지 0.001wt%의 희석된 불산용액(HF)을 포함하고 있어 제1층간 절연막은 거의 손상을 주지않고 건식식각시 발생한 부산물이나 폴리머를 제거할 수 있다. 그리고, 질화막 식각용액은 인산용액( $H_3PO_4$ )을 이용한다. 인산용액( $H_3PO_4$ )의 농도는 50 wt% 내지 85 wt% 정도인 것이 적절한 식각속도를 얻을 수 있다.

<16> 식각 정지막과 반도체 기판 사이에 베퍼막이 더 형성된 경우에는, 베퍼막을 제거하여 소스와 드레인을 노출 시킨다. 베퍼막을 제거하는 단계에서는, 습식식각에 사용되는 식각용액으로서 수산화 암모늄( $NH_3OH$ ) 및 과산화수소수 및 탈이온수를 포함하는 식각용액을 사용한다. 그리고, 습식식각은 30 °C 내지 80 °C의 공정온도에서 진행되는 것이 선택비가 높은 식각반응을 일으킴으로 바람직하다. 이때, 식각용액 내에 수산화암모늄( $NH_4OH$ )은 0.1 wt% 1.0 wt %를 포함하고 있고, 과산화수소수( $H_2O_2$ )는 4.0 wt% 내지 7.0 wt%를 포함하고 있는 것이 효과적인 산화막 식각을 위하여 바람직하다.

<17> 콘택패드를 형성하는 단계는, 반도체 기판 전면에 도전성 폴리 실리콘을 증착하여 상기 자기정렬 콘택을 총진한다. 그리고, 화학적 기계연마법(CMP)으로 도전성 폴리 실리콘을 제1층간 절연막의 상부 수준까지 연마 제거하여 자가정령 콘택 내에만 도전성 폴리

실리콘을 잔류시킨다. 그러면, 콘택 내에 도전성 폴리 실리콘이 충진된 콘택패드가 형성된다.

<18>      이상과 같은 구성을 가진 본 발명은, 콘택을 형성할 때, 콘택 하부에 형성된 식각정지막을 습식식각법으로 제거함으로써, 반도체 기판 상에 형성된 소스와 드레인에 손상을 주거나 표면에 결함(defect)을 발생시키지 않아 반도체 장치의 누설전류 특성(leakage current)이나 콘택저항 등의 전기적 특성을 향상시킬 수 있다.

<19>      이하, 첨부도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 다음에 예시하는 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 통상의 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다.

<20>      도 3 내지 도 7은 본 발명에 따른 반도체 장치의 제조방법을 순차적으로 나타낸 단면도들이다.

<21>      도 3을 참조하면, 반도체 기판(100)에 소정의 소자분리법을 이용하여 소자분리용 절연막(110)을 형성하여 소자형성 영역을 정의한다. 그런 다음, 소자형성 영역에 박막의 게이트 절연막(121)을 형성하고 게이트 도전막(123, 125)과 마스크용 절연막(127)을 순차적으로 형성한다. 이때, 게이트 절연막(121)은 실리콘 산화막이나 실리콘 질소 산화막(SiON) 중 어느 하나이고, 게이트 도전막(123, 125)은 도전성 폴리 실리콘(123)과 금속 실리사이드막(125)을 조합하여 형성된 복합막이다. 그리고, 마스크용 절연막(127)은 화학기상 증착법(CVD)으로 형성된 질화막이다.

<22> 마스크용 절연막(127) 상에 포토 레지스트(미도시)를 형성하고, 포토 레지스트에 소정의 정렬노광법을 이용하여 게이트 패턴을 형성한다. 패터닝된 포토 레지스트를 마스크로 이용하여 건식식각법으로 마스크용 절연막(127)을 식각하여 하드 마스크(127)를 형성한다. 이어서, 포토 마스크를 제거한 후, 하드 마스크(127)를 식각 마스크로 이용하여 게이트 도전막(123,125)에 게이트 패턴을 전사한다. 그런 다음, 하드 마스크(127)와 게이트 도전막(123,125)의 측벽에 실리콘 질화막으로 형성된 절연막 스페이서(129)를 형성하여 게이트(120) 구조를 완성한다.

<23> 완성된 게이트(120)를 마스크로 이용하여 이온 주입법(Ion Implanting)으로 게이트(120) 양측으로 드러난 반도체 기판(100)에 소스(105a)와 드레인(105b)을 형성한다. 이때, 소자형성 영역의 소스 및 드레인 영역(105a,105b)에는 소정의 하부 산화막(미도시)이 형성되어 있는데, 이러한 하부 산화막은 별도로 열산화법(Thermal Oxidation)을 이용하여 형성될 수도 있고, 잔류된 게이트 절연막(121)을 하부 산화막으로 사용할 수도 있다.

<24> 반도체 기판(100) 전면에 베퍼막(130)과 식각 정지막(140)을 순차적으로 형성한다. 베퍼막(130)은 식각 정지막(140) 형성시, 반도체 기판(100)에 가해지는 스트레스를 방지 할 수 있도록 식각 정지막(140)과 반도체 기판(100) 사이에서 완충막 역할을 한다. 만약, 소스(105a)와 드레인(105b) 상에 이전 공정에서 형성된 산화막이 잔류하는 경우에는 베퍼막(130)의 형성을 생략할 수도 있다. 이러한 베퍼막(130)은 화학기상 증착법(CVD)으로 형성된 실리콘 산화막으로서, 특히, 저압 화학기상 증착법(Low Pressure CVD)으로 형성되고 비교적 500 °C 내지 600 °C 정도의 중간 정도의 공정온도에서 증착된 MTO 막(Mid-Temperature Oxide)인 것이 추후 산화막 식각용액으로 사용될 수산화암모늄(NH<sub>4</sub>

OH) 용액에서 식각속도가 높고 타 산화막에 비해서 식각선택비(etch selectivity)가 높아 바람직하다. 식각 정지막(140)은 화학기상 증착법(CVD)으로 형성된 실리콘 질화막이며, 이는 추후 형성되는 제1층간 절연막(150)으로서 형성되는 실리콘 산화막에 대해서 식각 선택비가 높아 콘택식각 시에 식각 정지층으로서 효과적이다.

<25> 반도체 기판(100) 전면에 제1층간 절연막(150)을 두껍게 형성한 후, 소정의 평탄화 공정을 이용하여 표면이 평탄화된 제1층간 절연막(150)을 형성한다. 자기정렬 콘택 형성 공정을 사용하기 위해서, 하드 마스크(127)와 스페이서(129)가 실리콘 질화막으로 형성된 경우, 제1층간 절연막(150)은 실리콘 질화막에 대해서 식각 선택비가 크도록 화학기상 증착법(CVD)을 이용하여 형성된 실리콘 산화막으로 형성되는 것이 바람직하다. 특히, 고밀도를 플라즈마를 이용한 화학기상 증착법(HDP CVD)으로 형성된 실리콘 산화막을 사용하는 것이 증착속도가 크고 패턴 충진성이 우수하여 바람직하다. 이렇게 HDP CVD에 의해서 형성된 제1층간 절연막(150)은, 추후 습식 식각법으로 진행되는 식각정지막(140)과 벼퍼막(130)을 제거할 때, 식각용액에 의해서 제거되는 식각속도가 실리콘 질화막으로 형성된 식각정지막(140)에 비해서는 물론 실리콘 산화막으로 형성된 벼퍼막(130)에 비해서도 현저히 낮아 습식식각에 의한 콘택 패턴의 손실이 적은 장점이 있다.

<26> 평탄화 공정은 건식식각법에 의한 전면식각(Dry etch-back)이나 화학적 기계연마법(CMP)을 사용할 수 있다. 그러나, 반도체 기판(100)에 손상을 적게 준다는 측면에서 화학적 기계연마법(Chemical Mechanical Polishing)을 이용하는 것이 바람직하다.

<27> 평탄화 공정이 완료되어 제1층간 절연막(150)의 잔류된 두께는 게이트(120)의 상부를 기준으로 소정 높이 이상으로 형성되는 것이 자가 정렬콘택 식각시에 콘택(도 6의 160a)을 용이하게 형성할 수 있어 바람직하다.

<28> 도 4를 참조하면, 평탄화된 제1층간 절연막(150) 상에 포토 레지스트(미도시)를 도포하고, 정렬노광법을 이용하여 포토 레지스트에 자기정렬용 콘택 패턴을 형성한다. 이 때, 자기정렬 콘택 패턴은 추후 소스(105a)와 드레인(105b) 영역이 연결되도록 형성된 콘택으로서 실제 형성되는 크기보다 크게 형성한다. 패터닝된 포토 레지스트를 마스크로 이용하여 건식식각법으로 제1층간 절연막(150)을 식각하여 자기정렬용 콘택(160a)을 형성한다. 이때, 식각정지막(140)의 상층이 식각정지층이 되어 콘택 식각은 식각 정지막(140) 상에서 정지된다. 그리고, 절연막 스페이서(129)가 부분적으로 마스크 역할을 하여 스페이서 절연막(129)을 축부 경계로 하는 자기정렬용 콘택홀(160a)이 형성된다.

<29> 도 5 내지 도 6은, 도 8의 공정 흐름도를 참조하여 설명한다.

<30> 도 5 및 도 8을 참조하면, 식각 정지막(140)을 습식식각법(wet etch)으로 제거하여 하부의 버퍼막(130)을 드러낸다. 먼저, 전단계에서 진행된 건식식각에 의해서 반도체 기판(100) 표면에는 식각 부산물들과 폴리머들이 많이 형성되어 있기 때문에, 희석된 불산(HF) 용액으로 이들을 제거하여 식각정지막(140) 상부를 깨끗이 세정한다(S1). 그런 다음, 인산( $H_3PO_4$ )을 포함한 식각용액을 이용하여 실리콘 질화막으로 형성된 식각 정지막(140)을 제거한다(S2). 이때, 인산용액은 120 °C 내지 150 °C 정도로 가열되는 것이 식각조건을 향상시킬 수 있어 바람직하고, 인산용액의 농도는 50 wt% 내지 85 wt%인 것이 적절한 식각속도를 얻을 수 있어 바람직하다. 참고로, 인산용액 내에서 실리콘 산화

막(예를 들어, 제1층간 절연막을 형성하는 HDP 실리콘 산화막, HTO 및 MTO 등)의 식각속도는 분당 1 내지 4 Å 정도로서 거의 손실이 없다.

<31>      도 6 내지 도 8을 참조하면, 표면이 드러난 베퍼막(130)을 습식식각법으로 제거하여 소스(105a)와 드레인(105b) 영역의 반도체 기판(100)을 노출시킨다(S3). 이때, 사용되는 식각용액은 베퍼막(130)을 형성하는 실리콘 산화막을 식각하는 식각용액으로서, 소정 온도이상 가열된 수산화암모늄(NH<sub>4</sub>OH) 용액을 사용한다. 이때, 가열되는 온도는 30 °C 내지 80 °C 정도이다. 그러면, 실리콘 산화막의 식각속도가 상승하여 공정시간을 크게 단축할 수 있다. 이렇게 식각공정이 진행되는 동안, 고밀도 플라즈마 CVD에 의해서 형성된 실리콘 산화막의 제1층간 절연막(150)도 같이 식각이 된다. 그러나, 이때 제1층간 절연막(150)의 식각속도는 분당 약 2 Å 정도로서 매우 낮다. 그리하여, 베퍼막(130)을 형성하는 MTO의 식각속도인 약 5 Å에 비해서 상대적으로 낮아, 수백 Å의 베퍼막(130)이 식각용액에 완전히 제거되는 동안 수천 Å의 제1층간 절연막(150)이 식각되는 정도는 콘택 크기의 변화를 추이해 보았을 때, 거의 손실을 받지 않는다고 볼 수 있다.

<32>      그리고, 식각용액은, 식각하고자 하는 베퍼막(130)에 대해서는 식각속도가 높고 패턴을 형성하고 있는 제1층간 절연막(150)에 대해서는 식각속도가 낮도록 하여 식각선택비가 우수해야 한다. 그래서, 이러한 식각용액은, 수산화암모늄(NH<sub>4</sub>OH) 이외에 과산화수소수(H<sub>2</sub>O<sub>2</sub>) 및 탈이온수(Deionized water)가 적절한 비율로 혼합되어 있다. 특히, 산화막 식각용액은 수산화암모늄을 0.1 wt% 내지 1.0 wt%를 포함하고, 과산화수소수는 4.0 wt% 내지 7.0 wt%를 포함하는 것이 적절한 식각성능을 얻을 수 있어 바람직하다. 그리하여, 베퍼막(130)을 식각할 때, 제1층간 절연막(150)은 거의 손실이 없어 자기정렬용 콘

택(160a) 패턴을 견고히 유지할 수 있다. 이러한 수산화암모늄(NH<sub>4</sub>OH)이 포함된 식각용 액은, 반도체 기판(100)을 형성하는 기지 실리콘에는 전혀 손상을 주지 않기 때문에 표면에 결함이나 스트레스를 주지 않고 깨끗한 소스(105a)와 드레인(105b) 표면을 노출시킬 수 있다.

<33> 도 7을 참조하면, 반도체 기판(100) 전면에 자기정렬용 콘택(160a)이 완전히 매몰될 정도로 도전성 폴리 실리콘을 형성한다. 그런 다음, 화학적 기계연마법(Chemical Mechanical Polishing)을 이용하여 도전성 폴리 실리콘을 제1층간 절연막(150)의 상부 수준까지 연마하여 제거한다. 그러면, 자기정렬용 콘택홀(160a) 내부는 도전성 폴리 실리콘으로 충진되어 콘택필이나 콘택패드(160)를 형성한다.

<34> 이상과 같은 구성을 가진 본 발명의 반도체 장치의 제조방법은, 콘택 형성 시에, 식각 정지막(140) 및 버퍼막(130)을 습식식각법으로 제거함으로써, 별도의 추가적인 세정공정 없이 다음 공정을 진행할 수 있다.

<35> 즉, 기존의 방법에 의한 콘택 형성시에는, 식각 정지막(140)을 건식식각법으로 제거하여 반도체 기판((100)을 드러내고, 다시 건식식각시에 발생된 폴리머나 파티클을 제거하기 위해서 세정공정을 필수적으로 진행하여야 ??다. 그리하여, 반도체 장치의 공정 시간을 증가시키는 요인이 된다.

<36> 이에 비해서, 본 발명은, 식각정지막(140)과 버퍼막(130)을 습식식각법으로 진행하고, 특히, 버퍼막(130) 제거시에는 세정용액으로 주로 사용되는 수산화암모늄(NH<sub>4</sub>OH) 용액을 이용하여 버퍼막(130)의 식각과 동시에 세정효과를 동반할 수 있어 별도의 세정 공정 없이 다음공정을 진행할 수 있다. 그 결과, 기존의 방법에 비해서 콘택 형성공정에 소요되는 공정시간을 거의 반 정도로 감소시킬 수 있다.

**【발명의 효과】**

<37> 상술한 바와 같이 본 발명의 반도체 장치의 제조방법은, 소스와 드레인을 연결하는 콘택패드를 형성할 때, 하부의 식각정지막을 습식 식각법으로 제거함으로써, 표면으로 드러나는 소스와 드레인 영역의 기지 실리콘에 불필요한 손상이나 스트레스를 주지 않아 기지 실리콘과 콘택필이 접하는 부분의 콘택저항을 크게 향상시키고 누설전류 특성 (leakage current)을 개선할 수 있다.

**【특허청구범위】****【청구항 1】**

- a) 소자형성 영역이 정의된 반도체 기판을 제공하는 단계;
- b) 상기 소자형성 영역 상에 측벽에 자기 정렬 콘택 형성용 측벽 스페이서를 구비하는 게이트 및 상기 게이트 양측의 상기 반도체 기판에 소스 및 드레인을 형성하는 단계;
- c) 상기 소스 및 드레인 상에 식각 정지막을 형성하는 단계;
- d) 상기 반도체 기판 전면에 평탄화된 제1층간 절연막을 형성하는 단계;
- e) 전식식각법으로 상기 측벽 스페이서와 상기 식각 정지막의 상층을 식각 종료점으로 하여 상기 제1층간 절연막을 식각하여 상기 소스 및 드레인을 노출시키기 위한 자기 정렬 콘택홀을 형성하는 단계;
- f) 습식식각법으로 상기 소스 및 드레인 상의 상기 식각 정지막을 제거하여 상기 소스와 드레인을 노출시키는 단계; 및
- g) 상기 자기정렬 콘택홀에 도전성 폴리 실리콘을 충진하여 콘택패드를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 2】**

제1항에 있어서, 상기 b) 단계는, 상기 소자형성 영역 상에 하드 마스크를 측벽에 자기 정렬 콘택 형성용 측벽 스페이서를 구비하는 게이트 및 상기 게이트 양측의 상기 반도체 기판에 소스 및 드레인을 형성하는 단계인 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 3】**

제1항에 있어서, 상기 자기 정렬 콘택 형성용 측벽 스페이서 및 상기 식가정지막은 화학기상 증착법으로 형성된 실리콘 질화막이고, 상기 제1층간 절연막은 화학기상 증착법으로 형성된 실리콘 산화막인 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 4】**

제3항에 있어서, 상기 제1층간 절연막은 고밀도 플라즈마를 이용한 화학기상 증착법(PE CVD)으로 형성된 실리콘 산화막인 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 5】**

제1항과 제3항 내지 제4항중 어느 한 항에 에 있어서, 상기 c) 단계 전에 상기 소스 및 드레인 상에 버퍼막을 형성하는 단계를,  
상기 f) 단계 후에 습식식각법으로 상기 버퍼막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 6】**

제5항에 있어서, 상기 버퍼막은 화학기상 증착법(Thermal Oxidation)으로 형성된 실리콘 산화막인 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 7】**

제6항에 있어서, 상기 버퍼막은 저압 화학기상 증착법(LP CVD)으로 형성된 MTO(Mid-Temperature Oxide)막인 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 8】**

제1항에 있어서, 상기 식각 정지막은 화학기상 증착법(CVD)으로 형성된 실리콘 질화막인 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 9】**

제3항에 있어서, 상기 제1층간 절연막은 고밀도 플라즈마를 이용한 화학기상 증착법(HDP CVD)으로 형성된 실리콘 산화막인 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 10】**

제1항에 있어서, 상기 f)단계는,  
산화막 식각용액을 이용한 습식식각법으로 상기 식각 정지막 상에 잔류된 산화막을 제거하는 단계; 및  
질화막 식각용액을 이용한 습식식각법으로 상기 식각 정지막을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 11】**

제10항에 있어서, 상기 산화막 식각용액은 0.01wt% 내지 0.001wt%의 불산용액(HF)을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 12】**

제10항에 있어서, 상기 질화막 식각용액은 인산용액( $H_3PO_4$ )를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 13】**

제12항에 있어서, 상기 인산용액( $H_3PO_4$ )의 농도는 50 wt% 내지 80 wt%인 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 14】**

제5항에 있어서, 상기 버퍼막을 제거하는 단계는, 수산화 암모늄( $NH_3OH$ )과 과산화수소수( $H_2O_2$ ) 및 탈이온수를 포함하는 식각용액을 이용하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 15】**

제14항에 있어서, 상기 식각용액은 상기 수산화 암모늄( $NH_3OH$ )을 0.1 wt% 내지 1.0 wt%를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 16】**

제14항에 있어서, 상기 식각용액은 상기 과산화수소수( $H_2O_2$ )를 4.0 wt% 내지 7.0 wt%를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 17】**

제14항에 있어서, 상기 습식식각은 30 °C 내지 80 °C의 공정온도에서 진행되는 것을 특징으로 하는 반도체 장치의 제조방법.

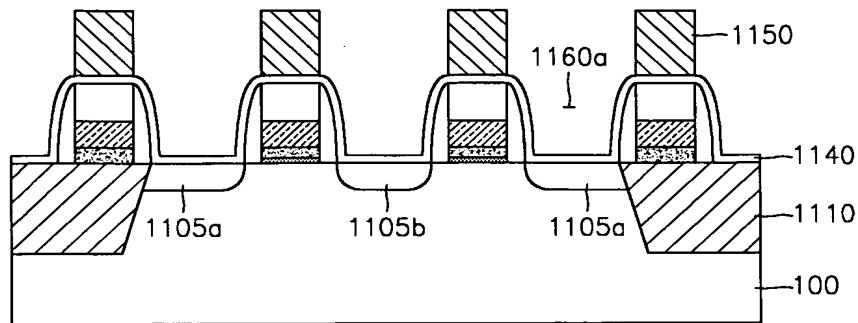
**【청구항 18】**

제1항에 있어서, 상기 g) 단계는,  
반도체 기판 전면에 도전성 폴리 실리콘을 증착하여 상기 자기정렬 콘택을 충진하는 단계; 및

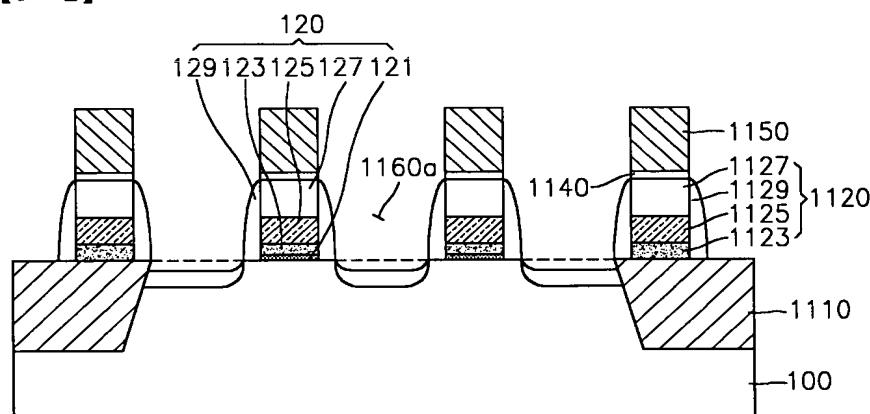
화학적 기계연마법(CMP)으로 상기 도전성 폴리 실리콘을 상기 제1층간 절연막의 상부 수준까지 연마 제거하여 자기정렬 콘택 내에만 도전성 폴리 실리콘을 잔류시키는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

## 【도면】

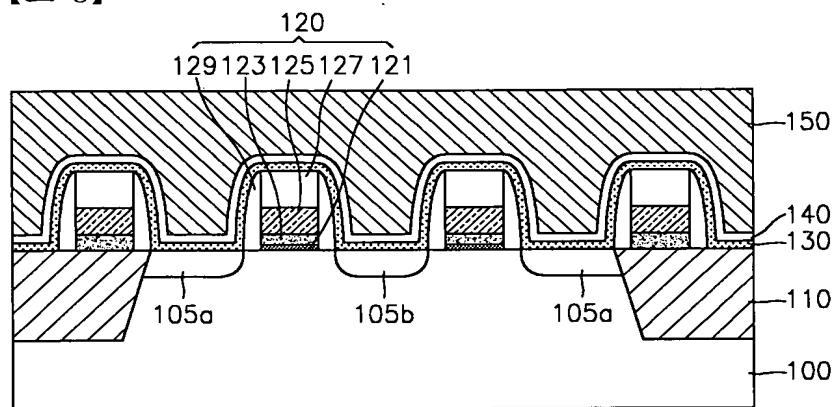
【도 1】



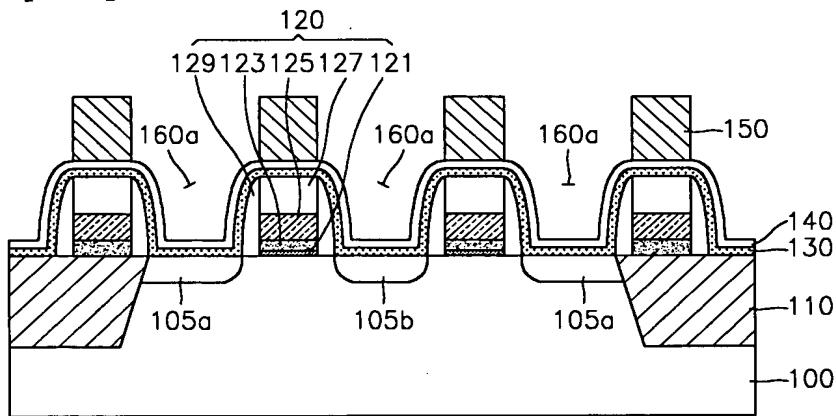
【도 2】



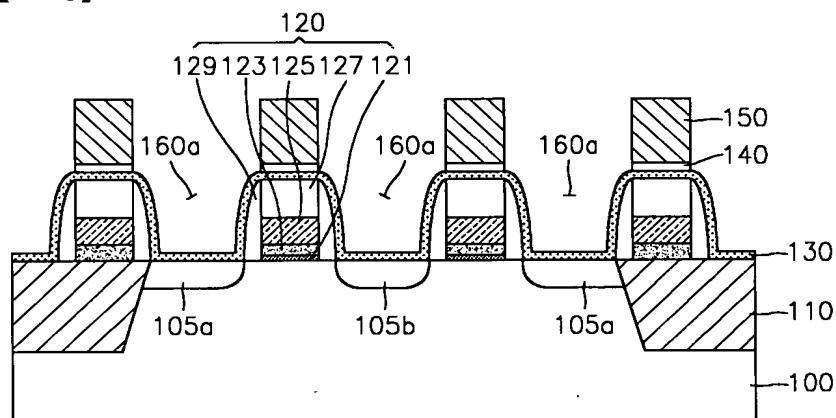
【도 3】



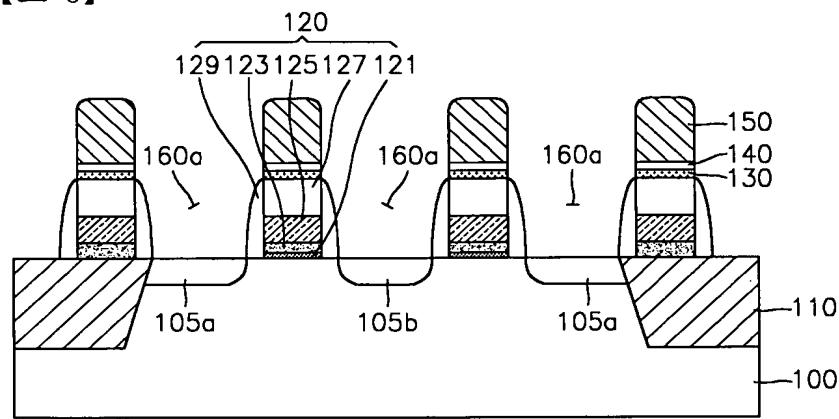
【도 4】



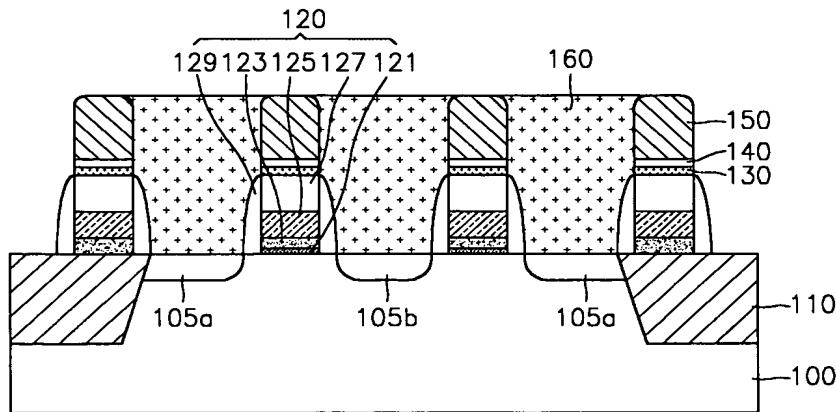
【도 5】



【도 6】



【도 7】



【도 8】

